

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年12月18日

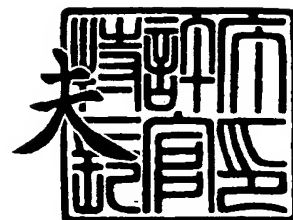
出願番号
Application Number: 特願2003-420839
[ST. 10/C]: [JP2003-420839]

出願人
Applicant(s): NECエレクトロニクス株式会社

2004年 1月13日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願
【整理番号】 74120145
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/768
【発明者】
 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内
 【氏名】 宇佐美 達矢
【特許出願人】
 【識別番号】 302062931
 【氏名又は名称】 N E C エレクトロニクス株式会社
【代理人】
 【識別番号】 100109313
 【弁理士】
 【氏名又は名称】 机 昌彦
 【電話番号】 03-3454-1111
【選任した代理人】
 【識別番号】 100085268
 【弁理士】
 【氏名又は名称】 河合 信明
 【電話番号】 03-3454-1111
【選任した代理人】
 【識別番号】 100111637
 【弁理士】
 【氏名又は名称】 谷澤 靖久
 【電話番号】 03-3454-1111
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 24716
 【出願日】 平成15年 1月31日
【手数料の表示】
 【予納台帳番号】 191928
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0215753

【書類名】 特許請求の範囲

【請求項 1】

半導体基板を含んだ下地上に、Si-H結合を有する層間絶縁膜とCuを主たる構成元素とする導電膜を有し、前記層間絶縁膜と前記Cuを主たる構成元素とする導電膜との間に金属窒化膜を有し、前記Cuを主たる構成元素とする導電膜と前記金属窒化膜との間に金属膜を有することを特徴とする半導体装置。

【請求項 2】

前記Cuを主たる構成元素とする導電膜は、前記Si-H結合を有する層間絶縁膜内に形成された溝内に埋設されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記金属膜がTaであり、前記金属窒化膜がTaNであることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記TaNの窒素濃度が15atm%以上であることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記TaNの窒素濃度が15atm%以上40atm%未満であることを特徴とする請求項 3 記載の半導体装置。

【請求項 6】

前記Si-H結合をもつ絶縁膜が水素化ポリシロキサン膜、水素化オルガノポリシロキサン膜のいずれかであることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 7】

前記水素化ポリシロキサン膜が梯子型水素化ポリシロキサン膜またはポーラス梯子型水素化ポリシロキサン膜であることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】

前記Cuを主たる構成元素とする導電膜が、Al、Si、Ag、W、Mg、Bi、Zn、Pd、Cd、Au、Hg、Be、Pt、Zr、Ti、またはSnの少なくとも一つを含むCuアロイ膜であることを特徴とする請求項 1 乃至 7 のいずれか 1 に記載の半導体装置。

【請求項 9】

前記Cuを主たる構成元素とする導電膜が、Siを含むCuアロイ膜であり、Si濃度が導電膜の上面で最も高く、底面方向に深くなるにつれて低くなっていることを特徴とする請求項 1 乃至 7 のいずれか 1 に記載の半導体装置。

【請求項 10】

半導体基板上にSi-H結合を有する層間絶縁膜を成膜する第 1 の工程と、
前記層間絶縁膜を加工する第 2 の工程と、
金属膜と金属窒化膜が積層されてなるバリアメタル膜を成膜する第 3 の工程と、
Cuを主たる構成元素とする導電膜を成膜する第 4 の工程と、
を有し、前記第 3 の工程は、前記層間絶縁膜上に前記金属膜と前記金属窒化膜を順次形成することを特徴とする半導体装置の製造方法。

【請求項 11】

前記第 2 の工程は、前記層間絶縁膜に溝を加工する工程であり、
前記第 3 の工程は、前記溝の側壁および底面にバリアメタル膜を成膜する工程であり、
前記第 4 の工程は、前記バリアメタル膜が成膜された溝内に前記導電膜を埋設する工程であることを特徴とする請求項 10 記載の半導体装置の製造方法。

【請求項 12】

前記金属膜がTaであり、前記金属窒化膜がTaNであることを特徴とする請求項 10 または 11 に記載の半導体装置の製造方法。

【請求項 13】

前記TaNの窒素濃度が15atm%以上であることを特徴とする請求項 12 記載の半導

体装置の製造方法。

【請求項 14】

前記 T a N の窒素濃度が 15 a t m % 以上 40 a t m % 未満であることを特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項 15】

前記 S i - H 結合をもつ絶縁膜が水素化ポリシロキサン膜、水素化オルガノポリシロキサン膜のいずれかであることを特徴とする請求項 10 乃至 14 のいずれかーに記載の半導体装置の製造方法。

【請求項 16】

前記水素化ポリシロキサン膜が梯子型水素化ポリシロキサン膜またはポーラス梯子型水素化ポリシロキサン膜であることを特徴とする請求項 15 記載の半導体装置の製造方法。

【請求項 17】

前記 C u を主たる構成元素とする導電膜が、A l、S i、A g、W、M g、B i、Z n、P d、C d、A u、H g、B e、P t、Z r、T i、または S n の少なくとも一つを含む C u アロイ膜であることを特徴とする請求項 10 乃至 16 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 18】

前記 C u を主たる構成元素とする導電膜が、C u 膜にシラン処理を施された S i 含有膜であることを特徴とする請求項 10 乃至 16 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 19】

前記第 1 の工程は、S i を主たる構成元素として含有する層間絶縁膜を成膜後、前記層間絶縁膜に水素を拡散させ、S i - H 結合を形成させる工程であることを特徴とする請求項 10 乃至 18 のいずれかーに記載の半導体装置の製造方法。

【請求項 20】

前記水素の拡散処理がプラズマ処理、エレクトロンビーム処理、ラジカル処理、イオン注入処理のいずれかであることを特徴とする請求項 19 記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関し、特に低誘電率層間絶縁膜および低誘電率バリア絶縁膜を用いた配線構造の信頼性の高い半導体装置および、その製造方法に関する。

【背景技術】

【0002】

近年、LSIの信号処理の高速化の要求は年々増加している。LSIの信号処理速度は主にトランジスタ自体の動作速度および配線での信号伝播遅延時間の大小で決まってくる。従来、大きく影響を及ぼしてきたトランジスタの動作速度はトランジスタを縮小化することで向上させてきた。しかし設計ルールが $0.25\mu\text{m}$ よりも小さいLSIでは後者の配線の信号伝播遅延に関する影響が大きく現れ始めている。特に配線層が多層化を有するLSIデバイスにおいては、その影響は大きい。

【0003】

そこで、配線の信号伝播遅延を改善する方法として、従来より用いてきたアルミ配線が銅配線に置き換わった。また従来から用いていたシリコン酸化膜を低誘電率層間絶縁膜に置き換える検討がされている。この低誘電率膜の中で比誘電率3.0以下が実現できる膜の1つの水素化ポリシロキサンはアルミ配線では量産化が実施されており、Cu配線でも量産化が検討されている。その中でも梯子型水素化ポリシロキサンである L-Ox （ラダーオキサイド、商標名：Ladder Oxide）はSi-O骨格にSi-H結合を一部にもつもので、無機材料で構成されているため、有機材料より配線金属との密着性に優れ、また梯子型になっているため加工後のプラズマアッシングや有機剥離液に対する耐性がすぐれ、加工面での吸湿層などの劣化層が形成されない。

【0004】

また、Cu配線になってCuの層間絶縁膜への拡散のバリアとして、また絶縁膜との密着層としてバリアメタル膜が用いられている。特にTa系のバリアメタル膜が主に量産化されつつある。微細化のCu/Low-k（低誘電率層間絶縁膜）構造の信頼性まで保証するとなると、上記低誘電率層間絶縁膜およびバリアメタル膜の組み合わせの最適化ができて初めて量産化が実現できる。

【0005】

次に、従来の低誘電率層間絶縁膜およびバリアメタル膜を使用した半導体装置の構造一例を図面を参照して説明する。図8に示すように、下層絶縁膜501上にCuの拡散防止兼エッチングのストッパー膜として機能する第0のバリア絶縁膜502が形成されており、その上に第1の低誘電率膜503が形成されている。さらにその上に第1の SiO_2 膜504が形成されている。上記第0のバリア絶縁膜502、第1の低誘電率膜503、第1の SiO_2 膜504が積層されてなる層間絶縁膜には配線用溝が形成されており、この配線用溝には第1のバリアメタル膜505が形成されている。その内側に第1のCu膜506により第1のCu配線が埋め込み形成されている。このCu配線の上に第1のバリア絶縁膜507、その上に同様に第2の低誘電率膜508、第2の SiO_2 膜509がそれぞれ形成されている。

【0006】

上記第1のバリア絶縁膜507、第2の低誘電率膜508、第2の SiO_2 膜509が積層されてなる層間絶縁膜にはビア用溝が形成されており、このビア用溝には上記Cu配線同様に第2のバリアメタル膜510、その内側に第2のCu膜511が埋め込み形成されている。さらにこのビアの上に第2のバリア絶縁膜512、その上に同様に第3の低誘電率膜513、第3の SiO_2 膜514がそれぞれ形成されている。同様に上記第2のバリア絶縁膜512、第3の低誘電率膜513、第3の SiO_2 膜514が積層されてなる配線層間絶縁膜中に第3のバリアメタル膜515、その内側に第3のCu膜516が埋め

込まれ第2のCu配線が形成されている。この第2のCu配線上に、第3のバリア絶縁膜517が形成されている。この構造をさらに必要に応じて繰り返し、最上層配線（本形態では第2のCu溝配線に相当）上および最上層L-Ox膜（本形態では第3の低誘電率膜に相当）上にバリア絶縁膜が形成される。そして、最上層配線上にはバリア絶縁膜に設けた開口を介してSiO₂膜518中に形成されたアルミボンディングパッド520（上下にTiN層519、521を有する）が接続され、このアルミボンディングパッド520の一部を除きSiO₂膜522を介して吸湿ブロック性のあるカバー膜523（SiON膜またはSiN膜）で被覆され多層配線構造が形成される。

【0007】

次に、上記従来の半導体装置の製造方法を図9から図12を参照して説明する。まず、トランジスタを含む半導体基板上に形成された下層絶縁膜601上に、50nm～100nmの膜厚の第0のバリア絶縁膜602をプラズマCVD法により形成した。続いて、第1の低誘電率膜603の塗布・焼成を行ない、150nm～350nmの成膜を行った。その上に、第1SiO₂膜604を50nm～200nmプラズマCVD法により成膜した（図9（a））。

【0008】

この構造体上に、最小寸法0.14μmレベルのフォトリソグラフィ技術を用い、反射防止膜としてARC膜605を塗布後に、パターニングされたフォトレジストマスク606を形成した（図9（b））。これをマスクにして、ARC膜605、第1のSiO₂膜604、第1の低誘電率膜603をフロロカーボン系ガスを含んだガスによりエッチングし、第0のバリア絶縁膜602上でストップさせた。

【0009】

その後、酸素プラズマアッシングにより、フォトレジストマスクを剥離後、弱アミンの有機剥離液などで残さ等を完全に除去した。その後、全面エッチバックにて、第0のバリア絶縁膜602を除去した。さらに有機剥離液による洗浄で残さを除去した。この結果、第1配線用の溝パターンを形成した（図9（c））。

【0010】

次に、スパッタ装置にてデガス処理、ArイオンによるRFエッチを行なった後に第1のバリア金属膜607を約30nm形成し、真空を破ることなく、Cuシード膜（図示省略）を約100nm形成した。次にCuめっきにて、Cuめっき膜609を約600nm形成した。その後、縦型炉アニールにて200～400℃で焼成を行った（図10（a））。

【0011】

次に金属CMP技術を用い、溝以外の金属を除去し第1のCu溝配線609を形成した（図10（b））。次に、プラズマCVD装置により、50～100nmの第1のバリア絶縁膜610を形成した。続いて、第2の低誘電率膜611、さらに第2のSiO₂膜612を順次成膜した。第1のビア形成のためにフォトリソグラフィ技術を用い、ビアのパターンとして第2のARC膜613上に第2のフォトレジストマスク614を形成した（図10（c））。

【0012】

これをマスクにして、第2のARC膜613、第2のSiO₂膜612、第2の低誘電率膜611をエッチングし、第1のバリア絶縁膜610上でエッチストップさせ、第1のビア用溝を開口した。その後、酸素プラズマアッシングにより、フォトレジストマスクを剥離後、アミン系の有機剥離液などで残さ等を完全に除去した。

【0013】

その後、第1のビア用溝底部の第1のバリア絶縁膜610を除去し、第1のCu溝配線との電気的な導通を取るため全面エッチバックをおこなった。さらに有機剥離液による洗浄で残さを除去し、第1のビア用の溝パターンを形成した。続いて、スパッタ装置にてデガスを行なった後、ArイオンによるRFエッチを行なった後に第2のバリア金属膜615を約30nm形成し、真空を破ることなく、Cuシード膜（図示省略）を約100nm

m形成した。次にCuめっきにて、銅膜617を約300nm形成した。その後、縦型炉アニールにて200~400℃で焼成をおこなった。次にメタルCMP技術を用い、ビア部以外のメタルを除去しビア617を形成した(図11(a))。

【0014】

次に、プラズマCVD装置により、50~100nmの第2のバリア絶縁膜618を形成した。続いて、第3の低誘電率膜619、さらに第3のSiO₂膜620を順次成膜した(図11(b))。

【0015】

この構造体上に、最小L/S=0.14/0.14μmレベルのフォトリソグラフィ技術を用い、第3のARC膜621塗布後に、パターニングされた第3のフォトレジストマスク622を形成した(図12(a))。

【0016】

これをマスクにして、第3のARC膜621、第3のSiO₂膜620、第3の低誘電率膜619をフッ素系ガスを含むエッチングガスによりエッチングし、第2のバリア絶縁膜618上でストップさせ、第2配線用の溝パターンを開口した。その後、酸素プラズマアッシングにより、フォトレジストマスクを剥離後、アミン系の有機剥離液などで残さを完全に除去した。

【0017】

その後、全面エッチバックにて、第2配線用溝底部の第2のバリア絶縁膜618を除去した。さらに有機剥離液による洗浄で残さを除去した。この結果、第2溝配線パターンを形成した。次に、第1配線と同様にしてスパッタ装置にてデガス処理、ArイオンによるRFエッチを行なった後に第3のバリアメタル膜623を約30nm形成し、真空を破ることなく、Cuシード膜を約100nm形成した。次にCuめっきにて、Cu膜624を約600nm形成した。その後、縦型炉アニールにて200~400℃で焼成を行った。その後メタルCMPを行い第2Cu溝配線を形成し、この第2Cu溝配線の上に第3のバリア絶縁膜625が形成されている(図12(b))。

【0018】

その後第3のバリア絶縁膜625上に300~500nmのSiO₂層間絶縁膜をプラズマCVD法により形成し、第3のバリア絶縁膜625およびSiO₂層間絶縁膜にフォトリソグラフィ技術を用い第2Cu溝配線上に開口を設けるためのフォトレジストマスクを形成した。続いて露出したSiO₂層間絶縁膜および第3のバリア絶縁膜625をエッチングして第2Cu溝配線とボンディングパッドとを接続するための開口部を形成した。フォトレジストマスク除去後スパッタリング法によりTiN膜519を100~200nm、Al-Cu(0.5%)膜520を800~1000nm、TiN膜521を50~100nmを順次成膜した。続いて、フォトリソグラフィ技術を用いボンディングパッドを形成するためのフォトレジストマスクを形成し、エッチング工程によりボンディングパッドを形成後フォトレジストマスクを除去した。そして、ボンディングパッド上のTiN膜521を覆うようにSiO₂膜522を100~200nm、SiON膜523を100~200nmをプラズマCVD法により順次形成し、フォトリソグラフィ技術によりボンディングパッド上のSiON膜、SiO₂膜およびTiN膜521の所定領域を開口しボンディングパッドを露出させ、図8の半導体装置を得た。

【0019】

上記従来の半導体装置の製造方法は、シングルダマシン法の一例であるが、デュアルダマシン法による製造方法も公知である。特許文献1には、低誘電率の層間絶縁膜としてMSQ(メチルシルセスキオキサン)膜およびMHSSQ(メチル化ヒドロジェンシルセスキオキサン)、バリアメタル膜としてTa膜を用いたダマシン構造の半導体装置が記載されている。また、Ta₂N膜もバリアメタル膜として使用されることは周知である。

【特許文献1】特開2001-326222号公報

【発明の開示】

【発明が解決しようとする課題】

【0020】

上記2層配線構造の半導体装置を製造するにあたり、本発明者が低誘電率の層間絶縁膜として L-Ox 膜を、バリアメタル膜として Ta 単層膜を使用したところ、第1および第2の溝配線およびビア形成のためのCMP工程時に、 L-Ox 膜と Ta 膜との界面で剥離が発生した。また、 Ta 膜の代わりに Ta-N 単層膜を使用した場合には、 Ta-N 膜に対する Cu の濡れ性がよくないため、高アスペクト比のビアなどの Cu 埋設が十分できないという問題があった。

【0021】

本発明は、低誘電率の層間絶縁膜とする Cu ダマシン配線構造における層間絶縁膜とバリアメタル膜の良好な密着性および Cu ダマシン配線構造製造時の Cu の良好な埋め込み性を有する半導体装置およびその製造方法を提供することを目的としている。

【課題を解決するための手段】

【0022】

本発明の半導体装置は、半導体基板を含んだ下地上に、 Si-H 結合を有する層間絶縁膜と Cu を主たる構成元素とする導電膜を有し、上記層間絶縁膜と上記 Cu を主たる構成元素とする導電膜との間に金属窒化膜を有し、上記 Cu を主たる構成元素とする導電膜と上記金属窒化膜との間に金属膜を有することを特徴とする。上記 Cu を主たる構成元素とする導電膜は、上記 Si-H 結合を有する層間絶縁膜内に形成された溝内に埋設されていることを特徴とする。ここで、上記金属膜が Ta であり、上記金属窒化膜が Ta-N であることを特徴とする。さらに、上記 Ta-N の窒素濃度が15atm%以上、好ましくは15atm%以上40atm%未満であることを特徴とする。また、上記 Si-H 結合をもつ絶縁膜が水素化ポリシロキサン膜、水素化オルガノポリシロキサン膜のいずれかであることを特徴とする。上記水素化ポリシロキサン膜が梯子型水素化ポリシロキサン膜またはポーラス梯子型水素化ポリシロキサン膜であることを特徴とする。また、上記 Cu を主たる構成元素とする導電膜が、 Al 、 Si 、 Ag 、 W 、 Mg 、 Bi 、 Zn 、 Pd 、 Cd 、 Au 、 Hg 、 Be 、 Pt 、 Zr 、 Ti 、または Sn の少なくとも一つを含む Cu アロイ膜であることを特徴とする。また、上記 Cu を主たる構成元素とする導電膜が、 Si を含む Cu アロイ膜であり、 Si 濃度が導電膜の上面で最も高く、底面方向に深くなるにつれて低くなっていることを特徴とする。

【0023】

本発明の半導体装置の製造方法は、半導体基板上に Si-H 結合を有する層間絶縁膜を成膜する第1の工程と、上記層間絶縁膜を加工する第2の工程と、金属膜と金属窒化膜が積層されてなるバリアメタル膜を成膜する第3の工程と、 Cu を主たる構成元素とする導電膜を成膜する第4の工程と、を有し、上記第3の工程は、上記層間絶縁膜上に上記金属膜と上記金属窒化膜を順次形成することを特徴とする。上記第2の工程は、上記層間絶縁膜に溝を加工する工程であり、上記第3の工程は、上記溝の側壁および底面にバリアメタル膜を成膜する工程であり、上記第4の工程は、上記バリアメタル膜が成膜された溝内に上記導電膜を埋設する工程であることを特徴とする。ここで、上記金属膜が Ta であり、上記金属窒化膜が Ta-N であることを特徴とする。さらに、上記 Ta-N の窒素濃度が15atm%以上、さらに好ましくは15atm%以上40atm%未満であることを特徴とする。また、上記 Si-H 結合をもつ絶縁膜が水素化ポリシロキサン膜、水素化オルガノポリシロキサン膜のいずれかであることを特徴とする。上記水素化ポリシロキサン膜が梯子型水素化ポリシロキサン膜またはポーラス梯子型水素化ポリシロキサン膜であることを特徴とする。また、上記 Cu を主たる構成元素とする導電膜が、 Al 、 Si 、 Ag 、 W 、 Mg 、 Bi 、 Zn 、 Pd 、 Cd 、 Au 、 Hg 、 Be 、 Pt 、 Zr 、 Ti 、または Sn の少なくとも一つを含む Cu アロイ膜であることを特徴とする。また、上記 Cu を主たる構成元素とする導電膜は、 Cu 膜にシラン処理を施された Si 含有膜であることを特徴とする。さらに、上記第1の工程は、 Si を主たる構成元素として含有する層間絶縁膜を成膜後、上記層間絶縁膜に水素を拡散させ、 Si-H 結合を形成させる工程であることを特徴とする。上記水素の拡散処理がプラズマ処理、エレクトロンビーム処理、ラジカル処理、イ

オン注入処理のいずれかであることを特徴とする。

【発明の効果】

【0024】

本発明者は、従来の半導体装置のCMP製造工程において発生したL-Ox膜とTa膜との界面での剥離の原因を追求した結果、従来の半導体装置を構成するL-Ox膜中の水素がTa膜に吸蔵されて発生したものであることをつきとめた。即ち、L-Ox膜とTa膜が直接接しているため、L-Ox膜中の水素がTaに吸蔵され、Ta膜が脆弱化し、メタルCMPなどの高荷重プロセスに対して耐性がないことをつきとめた。本発明では、L-Oxに代表される水素化ポリシロキサンのようなSi-H結合を有する層間絶縁膜とTa膜のような水素を吸蔵する性質を有するバリアメタル層とを直接接しないような構成とした。即ち、層間絶縁膜中の水素のバリアメタル層への吸蔵を抑制する層を両者間に介在させた。本発明者は、この抑制効果を金属窒化膜が有しており、特に、金属窒化膜中の窒素濃度が15atm%以上40atm%未満で好適であることを見出した。本発明では、バリアメタル膜を水素吸蔵性を有する金属膜と水素の吸蔵を抑制する膜との積層構成とし、Cu配線側にTa等の金属膜が配置する構成とすることにより、高アスペクト比を有するCu溝配線の形成、即ち、層間絶縁膜に設けた溝内への良好な埋め込み性も可能となる。

【発明を実施するための最良の形態】

【0025】

次に、本発明の半導体装置の実施の形態について図面を参照して説明する。図1は、本発明の半導体装置の第1の実施形態を示す図である。図1に示すように、下層絶縁膜101上にエッチングストッパーを兼ねるバリア絶縁膜として第0のシリコン炭化窒化膜(Si, C, N, Hを主たる構成元素として含有する絶縁膜)102が形成されており、その上に梯子型水素化ポリシロキサンである第1のL-Ox膜103が形成されている。その上に第1のSiO₂膜104が形成されている。この第0のシリコン炭化窒化膜102、第1のL-Ox膜103、第1のSiO₂膜104に形成された第1の配線用溝には第1のバリアメタル膜としてTa膜106/TaN膜105の積層膜(上層がTa膜、下層がTa_xN膜)が形成されている。その内側に第1のCu膜107が埋め込まれCu配線が形成されている。この第1のCu溝配線の上にバリア絶縁膜である第1のシリコン炭化窒化膜108、その上に同様に第2のL-Ox膜109、第2のSiO₂膜110がそれぞれ積層形成され、これらにビア用溝が開口されている。

【0026】

同様にビア部に第2のバリアメタル膜としてTa膜112/TaN膜111、その内側に第2のCu膜113が埋め込まれビアが形成されている。さらに、そのビアの上にバリア絶縁膜である第2のシリコン炭化窒化膜114、その上に同様に第3のL-Ox膜115、第3のSiO₂膜116がそれぞれ積層形成されている。同様に第2のシリコン炭化窒化膜114、第3のL-Ox膜115、第3のSiO₂膜116に形成された第2の配線用溝には第3のバリアメタル膜としてTa膜118/TaN膜117、その内側に第3のCu膜119が埋め込まれ第2のCu溝配線が形成されている。この第2のCu溝配線上に、第3のシリコン炭化窒化膜120が形成されている。この構造をさらに必要に応じて繰り返し、最上層配線(本実施形態では第2のCu溝配線に相当)上および最上層L-Ox膜(本実施形態では第3のL-Ox膜に相当)上にシリコン炭化窒化膜が形成される。そして、最上層配線上にはシリコン炭化窒化膜に設けた開口を介してアルミボンディングパッド123が接続され、このアルミボンディングパッド123(一例としてアルミの上下にバリアメタル膜としてTiN層122, 124を有する構造を図示しているが、この構成に限定されるものではない)の一部を除きSiO₂膜125を介して吸湿ブロック性のあるカバー膜126(SiON膜またはSiN膜)で被覆され多層配線構造が形成される。得られた半導体装置は、従来の半導体装置で認められたCuの埋め込み不良やCMPによる界面剥離等の不具合は認められなかった。

【0027】

第2の実施の形態による半導体装置の構造を図2に示す。第1の実施の形態との違いはビア層間絶縁膜を SiO_2 単層にしたことである。特に低誘電率膜を用いた場合の組み立てや電気特性の信頼性向上にメリットがある構造である。

【0028】

この半導体装置は下層絶縁膜201上に第0のシリコン炭化窒化膜202が形成されており、その上に梯子型水素化ポリシロキサンである第1の L-Ox 膜203が形成されている。その上に第1の SiO_2 膜204が形成されている。第0のシリコン炭化窒化膜202、第1の L-Ox 膜203、第1の SiO_2 膜204に形成された配線溝には第1のバリアメタル膜としてTa膜206/TaN膜205の積層膜（上層がTa膜、下層がTa_N膜）が形成されている。その内側にCu膜が埋め込まれた第1のCu溝配線207が形成されている。この第1のCu溝配線の上にバリア絶縁膜である第1のシリコン炭化窒化膜208、その上に第2の SiO_2 膜209が形成されている。第1のシリコン炭化窒化膜208および第2の SiO_2 膜209にはビア用溝が形成されており、同様にビア部に第2のバリアメタル膜としてTa膜211/TaN膜210、その内側に第2のCu膜212が埋め込まれビアが形成されている。

【0029】

さらにそのビアの上にバリア絶縁膜である第2のシリコン炭化窒化膜213、その上に同様に第3の L-Ox 膜214、第3の SiO_2 膜215がそれぞれ積層形成されている。同様に第2のシリコン炭化窒化膜213、第3の L-Ox 膜214、第3の SiO_2 膜215に第3のバリアメタル膜としてTa膜217/TaN膜216、その内側に第3のCu膜218が埋め込まれ第2のCu溝配線が形成されている。この第2のCu溝配線上に、第3のシリコン炭化窒化膜219が形成されている。この構造をさらに必要に応じて繰り返し、最上層配線（本実施形態では第2のCu溝配線に相当）上および最上層 L-Ox 膜（本実施形態では第3の L-Ox 膜に相当）上にシリコン炭化窒化膜が形成される。そして、最上層配線にはシリコン炭化窒化膜に設けた開口を介してアルミボンディングパッド222が接続され、このアルミボンディングパッド222（一例としてアルミの上下にバリアメタル膜としてTiN層221、223を有する構造を図示しているが、この構成に限定されるものではない）の一部を除き SiO_2 膜224を介して吸湿ブロック性のあるカバー膜225（ SiON 膜または SiN 膜）で被覆され多層配線構造が形成される。得られた半導体装置は、従来の半導体装置で認められたCuの埋め込み不良やCMPによる界面剥離等の不具合は認められなかった。

【0030】

第3の実施の形態の半導体装置を図3に示す。第1の実施の形態と異なり、デュアルダマシン(Dual Damascene)配線構造をとっている。この構造を用いることにより、製造の工程数が削減でき、製品のコスト低減が実現できた。また、ビアのCMPをなくすることができるため、コストとして非常に高いCMP工程を削減できるという大きなコストメリットがあった。この半導体装置は、下層絶縁膜301上に第0のシリコン炭化窒化膜302が形成されており、その上に梯子型水素化ポリシロキサンである第1の L-Ox 膜303が形成されている。さらにその上に第1の SiO_2 膜304が形成されている。第0のシリコン炭化窒化膜302、第1の L-Ox 膜303、第1の SiO_2 膜304には第1配線用溝が形成され、この配線溝には第1のバリアメタル膜としてTa膜306/TaN膜305の積層膜（上層がTa膜、下層がTa_N膜）が形成されている。

【0031】

その内側に第1Cu膜307が埋め込まれ第1のCu溝配線が形成されている。この第1のCu溝配線の上にバリア絶縁膜である第1のシリコン炭化窒化膜308、その上に同様に第2の L-Ox 膜309、第2の SiO_2 膜310が形成されている。さらにその上に第2の配線用溝のエッチングストッパーとして、第2のシリコン炭化窒化膜311、その上に第3の L-Ox 膜312、第3の SiO_2 膜313が積層形成されている。第1のCu溝配線との電気的な接続を行なうビアと第2のCu配線は一体となっており、第2のTa_N膜314上に第2のTa膜315、その内側に第2のCu膜316が埋め込まれビ

と第2のCu溝配線が一体形成されており、この第2のCu溝配線の上に第3のシリコン炭化窒化膜317が形成されている。この構造をさらに必要に応じて繰り返し、最上層配線（本実施形態では第2のCu溝配線に相当）上および最上層L-Ox膜（本実施形態では第3のL-Ox膜に相当）上にシリコン炭化窒化膜が形成される。そして、最上層配線上にはシリコン炭化窒化膜に設けた開口を介してアルミボンディングパッド320が接続され、このアルミボンディングパッド320（一例としてアルミの上下にバリアメタル膜としてTiN層319, 321を有する構造を図示しているが、この構成に限定されるものではない）の一部を除き吸湿ブロック性のあるカバー膜323（SiON膜またはSiN膜）で被覆され多層配線構造が形成される。得られた半導体装置は、従来の半導体装置で認められたCuの埋め込み不良やCMPによる界面剥離等の不具合は認められなかった。

【0032】

上記第1から第3の実施の形態では、配線およびビア用としてCu膜を用いたが、Al、Si、Ag、W、Mg、Bi、Zn、Pd、Cd、Au、Hg、Be、Pt、Zr、Ti、またはSnのすくなくとも一つを含むCuアロイ膜を用いた場合の方が、Cuよりも濡れ性が良好であるため、Cuアロイ膜を用いるメリットがある。特にSiを含有する場合、シリコン炭化窒化膜との密着性が優れ、Si濃度が導電膜の上面で最も高く、底面方向に深くなるにつれて低くなる分布とするとその効果は大きい。このような分布は、例えばCu膜に原料ガスとしてSiH₄、Si₂H₆、SiH₂Cl₂等の無機シランガスを用い、プラズマCVD装置で250～400℃で処理することにより得ることができる。

【0033】

次に第1の実施の形態の半導体装置の製造方法を図4～図7を参照して説明する。まず、トランジスタが形成された半導体基板を含む下層絶縁膜401上に、50nm～100nmの膜厚の第0のシリコン炭化窒化膜402をプラズマCVD法により形成した。続いて、第1のL-Ox膜403の塗布・焼成を行ない、150nm～350nmの膜厚に成膜した。その上に、第1のSiO₂膜404を50nm～200nmの膜厚にプラズマCVD法により成膜した（図4（a））。この構造体上に反射防止膜として第1のARC膜405を塗布した後に、最小L/S=0.14/0.14μmレベルのフォトリソグラフィ技術を用いパターンニングされた第1のフォトレジストマスク406を形成した（図4（b））。

【0034】

これをマスクにして、第1のARC膜405、第1のSiO₂膜404、第1のL-Ox膜403をフロロカーボン系ガスを含んだエッチングガスにより順次エッチングし、第0のシリコン炭化窒化膜402上でストップさせるように第1の配線用溝を開口した。その後、酸素プラズマアッシングにより、フォトレジストマスクを剥離後、アミン系の有機剥離液などで残さ等を完全に除去した。その後、全面エッチバックにて、第1の配線用溝底部の第0のシリコン炭化窒化膜を除去した。さらに有機剥離液による洗浄で残さを除去した。この結果、第1の配線用溝パターンを形成した（図4（c））。

【0035】

次に、スパッタ装置にてデガス処理、ArイオンによるRFエッチを行なった後に第1のバリアメタル膜としてTa₂N膜407を約10nm形成し、続いてTa膜408を20nmを溝内部（側壁および底面）を含めて基板（第1のSiO₂膜404）表面に成膜した。真空を破ることなく、Cuシード膜（図示省略）を約100nm形成した。次にCuめっきにて、銅膜409を約600nm形成した（図5（a））。

【0036】

その後、縦型炉アニールにて200～400℃で焼成を行った。次にメタルCMP技術を用い、溝以外のメタルを除去し溝内にCuが埋め込まれた第1Cu溝配線を形成した（図5（b））。次に、プラズマCVD装置により、50～1000nmの第1のシリコン炭化窒化膜410を形成した。続いて、150～350nmの第2のL-Ox膜411、さらに、50～200nmの第2のSiO₂膜412を順次成膜した。第1のビア形成の

ためにフォトリソグラフィ技術を用い、 $0.14\mu\text{m}$ 径のビアのパターンとして第2のARC膜413上に第2のフォトレジストマスク414を形成した(図5(c))。

【0037】

これをマスクにして、第2のARC膜413、第2の SiO_2 膜412、第2の L-Ox 膜411を順次エッチングし、第1のシリコン炭化窒化膜410上でエッチストップさせたビア用溝を開口した。次にフォトレジストマスクと第2のARC膜をプラズマアッシングにより除去し、有機剥離液で残渣を除去した。その後、ビア用溝底部の第1のシリコン炭化窒化膜410を除去し第1のCu溝配線との電気的な導通を採るため、全面エッチバックを行った。その後、有機剥離液を行って残渣を除去した。続いて、スパッタ装置にて、デガスを行なった後、ArイオンによるRFエッチを行なった後にビア用溝内部(側壁および底面)を含めて基板(第2の SiO_2 膜412)表面に第2のバリアメタル膜としてTa₂N膜415の膜厚約10nm形成に引き続きTa膜416を20nm形成し、真空を破ることなく、Cuシード膜(図示省略)を約100nm形成した。次にCuめっきにて、銅膜417を約300nm形成した。その後、縦型炉アニールにて200~400℃で焼成を行った。次にメタルCMP技術を用い、ビア以外のメタルを除去し溝内にCuが埋め込まれたビアを形成した(図6(a))。

【0038】

次に、プラズマCVD装置により、50~100nmの第2のシリコン炭化窒化膜418を形成した。続いて、150~350nmの第3の L-Ox 膜419、さらに50~200nmの第3の SiO_2 膜420を順次成膜した(図6(b))。

【0039】

この構造体上に反射防止膜として第3のARC膜421を塗布後に、最小 $L/S=0.14/0.14\mu\text{m}$ レベルのフォトリソグラフィ技術を用いパターンニングされた第3のフォトレジストマスク422を形成した(図7(a))。

【0040】

これをマスクにして、第3のARC膜421、第3の SiO_2 膜420、第3の L-Ox 膜419をフッ素系ガスを含むエッチングガスにより順次エッチングし、第2のシリコン炭化窒化膜418上でストップさせるように第2の配線用溝を開口した。その後、酸素プラズマアッシングにより、フォトレジストマスクを剥離後、アミン系の有機剥離液などで残さ等を完全に除去した。その後、全面エッチバックにて、第2の配線用溝底部の第2のシリコン炭化窒化膜418を除去した。さらに有機剥離液による洗浄で残さを除去した。続いて、スパッタ装置にて、デガスを行なった後、ArイオンによるRFエッチを行った後に第3のバリアメタル膜としてTa₂N膜423の膜厚約10nm形成に引き続きTa膜424を20nm形成し、真空を破ることなく、Cuシード膜(図示省略)を約100nm形成した。次にCuめっきにて、銅膜425を約600nm形成した。その後、縦型炉アニールにて200~400℃で焼成を行った。次にメタルCMP技術を用い、溝以外のメタルを除去し溝内にCuが埋め込まれた第2Cu溝配線を形成した。次に、プラズマCVD装置により、50~100nmの第3のシリコン炭化窒化膜426を形成した(図7(b))。

【0041】

その後第3のシリコン炭化窒化膜426(図1の第3のシリコン炭化窒化膜120に相当)上に300~500nmの SiO_2 層間絶縁膜427をプラズマCVD法により形成し、第3のシリコン炭化窒化膜426および SiO_2 層間絶縁膜427にフォトリソグラフィ技術を用い第2Cu溝配線上に開口を設けるためのフォトレジストマスクを形成した。続いて露出した SiO_2 層間絶縁膜427および第3のシリコン炭化窒化膜426をエッチングして第2Cu溝配線とボンディングパッドとを接続するための開口部を形成した。フォトレジストマスク除去後スパッタリング法によりTiN膜122を100~200nm、Al-Cu(0.5%)膜123を800~1000nm、TiN膜124を50~100nmを順次成膜した。続いて、フォトリソグラフィ技術を用いボンディングパッドを形成するためのフォトレジストマスクを形成し、エッチング工程によりボンディ

ングパッドを形成後フォトリソマスクを除去した。そして、ボンディングパッド上のTiN膜124を覆うようにSiO₂膜125を100～200nm、SiON膜126を100～200nmをプラズマCVD法により順次形成し、フォトリソグラフィー技術によりボンディングパッド上のSiON膜126およびSiO₂膜125の所定領域を開口しボンディングパッドを露出させた。

【0042】

以上により、図1に示す2層配線構造を有する半導体装置が得られた。この2層配線構造を形成するにあたり、CMPでは剥がれは発生せず、さらにビア抵抗も歩留まり劣化なく、多層配線を形成できた。

【0043】

次にバリアメタル膜と低誘電率膜である水素化ポリシロキサンとの関係を説明する。表1にバリアメタル膜として、Ta/TaN（上層がTa：20nm、下層がTa₂N₃：10nm）を使用した場合のTa₂N₃の窒素濃度とメタルCMPでののはがれの有無およびTa₂N₃スパッタ時のゴミ検査での欠陥数との関係を示した。

【0044】

【表1】

窒素濃度(atm%)	0	2.1	13.2	15.3	20.1	34.6	40.9
剥がれ	×	×	△	○	○	○	○
スパッタゴミ数	4	2	3	16	4	15	>2万

【0045】

TaNのXPS(X線光電子分光法:X-ray Photoelectron Spectroscopy)で求めた窒素濃度が約10atm%（原子%）以上の膜では、第3の実施形態で行った場合では剥がれが発生しなかったが、それ以下ではCu膜のCMPで剥がれが発生した。特に5atm%以下の膜では、目視でも剥がれが確認できた。約8atm%程度では目視では確認できなかったものの、光学顕微鏡で剥がれが確認できた。ちなみに層間絶縁膜がSiO₂の場合ではいずれの窒素濃度のTa₂N₃でも剥がれが発生していないことより、水素化ポリシロキサンの水素がTa₂N₃に吸蔵しているものと推定できる。また、Ta₂N₃をスパッタしたときの8インチウエハ上でのゴミカウント数を示す。ゴミの粒径は0.18μm以上のものをカウントした。Ta₂N₃の窒素濃度が40atm%未満のレベルでは20個以下であったが、40atm%を超えると20000個以上の個数を示し、オーバーフローした。

【0046】

また表2にバリアメタルの構造による、0.14μm径の高さ0.4μmのビアへのCu埋設性およびメタルCMP時の剥がれの関係を示す。

【0047】

【表2】

バリアメタル構造	Cu埋設性	剥がれ
Ta	○	×
TaN	×	○
Ta/TaN	○	○

【0048】

Ta単層30nmの膜上に100nmのCuシード層を成膜し、その上に300nmのCuめっきを埋設し、加速試験として450℃で12時間過熱したときの埋設を確認したところ、埋設不良は確認できなかった。Ta(20nm)/Ta₂N₃(10nm)の場合（その上のCuは同じ条件）でも問題はなかったが、30nmのTa₂N₃単層では埋設不良が確認された。この原因はCu膜の濡れ性の下地依存性で説明できる。Ta膜へのCu膜の濡れ性はよいが、Ta₂N₃へのCu膜の濡れ性は悪い。これはCu濡れ性と窒素がなんらかの関係があると思われる。またビアCuのCMPでの剥がれは、Ta₂N₃単層の場合と、T

$\text{Ta}/\text{Ta N}$ の積層の場合は問題がなかったが、 Ta 単層の場合は剥がれが確認された。この原因は水素化ポリシロキサンの水素が、 Ta に吸蔵し、金属の脆弱が発生しているものと推定される。 Ta に窒素が含まれると水素の吸蔵が抑えられ、バリア金属脆弱化が防止できると考えられる。

【0049】

バリア金属膜は $\text{Ta}/\text{Ta N}$ の積層構造に限定されるものではない。層間絶縁膜として Si-H 結合を有する層間絶縁膜の H がバリア金属膜に吸蔵し金属の脆弱化をもたらさないような構成とすればよい。即ち、 Si-H 結合を有する層間絶縁膜と水素吸蔵性を有するバリア金属膜を用いる場合、両者間に層間絶縁膜の H のバリア金属膜への吸蔵を抑制する層を設ける構成とすればよい。水素吸蔵性を有するバリア金属膜としては、 Ta 以外に Ti が挙げられる。 Ta N 同様 Ti N も水素の吸蔵が抑えられ、バリア金属脆弱化が防止できると考えられる。したがって、 $\text{Ta}/\text{Ta N}$ 以外に $\text{Ta}/\text{Ti N}$ 、 $\text{Ti}/\text{Ta N}$ 、 $\text{Ti}/\text{Ti N}$ の組合せも可能である。

【0050】

上記実施形態では、梯子型水素化ポリシロキサンである L-Ox を低誘電率層間絶縁膜として使用した例を示したが、かご型の水素化ポリシロキサンの1種である籠型水素化シルセスキオキサンを用いてもよい。但し、梯子型水素化ポリシロキサンを用いた場合より水素吸蔵抑制層を介在させる効果はやや小さい。また比誘電率2.4のポーラス梯子型水素化ポリシロキサン（ポーラス L-Ox ）を用いた場合も同等の効果が確認された。梯子型水素化ポリシロキサンまたはポーラス梯子型水素化ポリシロキサンであることが好ましい。また効果としては水素化ポリシロキサンよりも少ないが CVD 法で形成した水素化オルガノポリシロキサン、即ち、 Si-H 結合と Si-CH_3 結合をともにもっている絶縁膜（この結合は FTIR スペクトルなどで確認できる）でもよい。たとえば商品名であれば、Black Diamond(商標名)、Coral(商標名)、Aurora(商標名)などでも同様な結果が得られる。塗布法で形成した MHSQ などでも同様な結果が得られた。上記効果の程度の差は、 Si-CH_3 結合の H が Si-H 結合の H よりも解離し難いことに起因すると考えられる。即ち、 Si-H 結合を多く有する絶縁膜材料を使用するほど水素吸蔵抑制層を介在させる効果は大きく認められた。

【0051】

また、前述したように Si-H 結合を持たない、あるいは殆ど持たないオルガノシロキサン膜（またはオルガノシリケート、炭素含有シリコン酸化膜）は、水素化ポリシロキサンのような無機の絶縁膜に比べて Ta N 膜との密着性が劣るが、これを改良するために次のような方法によりこれらの絶縁膜に Si-H 結合を付与することができる。

【0052】

Si 基板を含んだ下地に Si-H 結合を含まないオルガノシロキサン膜を形成した。その膜上から全面に水素プラズマ処理をおこなった。この処理により、 FTIR 法により Si-H 結合が確認できるオルガノシロキサン膜が形成できた。この膜を加工して、上記と同じ方法を行えば、 Ta N 膜との層間膜の密着不良が発生しない製造方法が実現できた。この例では、 Si-H 結合を含まないオルガノシロキサン膜について記述したが、 Si-H 結合が少ないオルガノシロキサン膜に対して同様な処理をすることにより Si-H 結合を増加させることができ密着性を改善できる。また、水素プラズマ処理の代わりに、 Si-H 結合の形成の方法として水素雰囲気中でエネルギーを与える処理、たとえば EB （エレクトロンビーム）処理、ラジカル処理、イオン注入などを行っても同様の効果が得られる。また、ここではオルガノシロキサンを例にあげているが、そのポーラス膜を用いても同様な効果が得られる。

【0053】

本発明によれば、 Si-H 結合を有する層間絶縁膜と配線層との間に水素吸蔵抑制層を層間絶縁膜側に配するバリア金属膜を介在させることにより本発明の第1から第3の実施形態の9層配線構造の多層配線構造を10ヶ月かけて製造してもビア抵抗が上昇することがなく、かつ膜剥がれも発生せずに製造できた。

【図面の簡単な説明】

【0054】

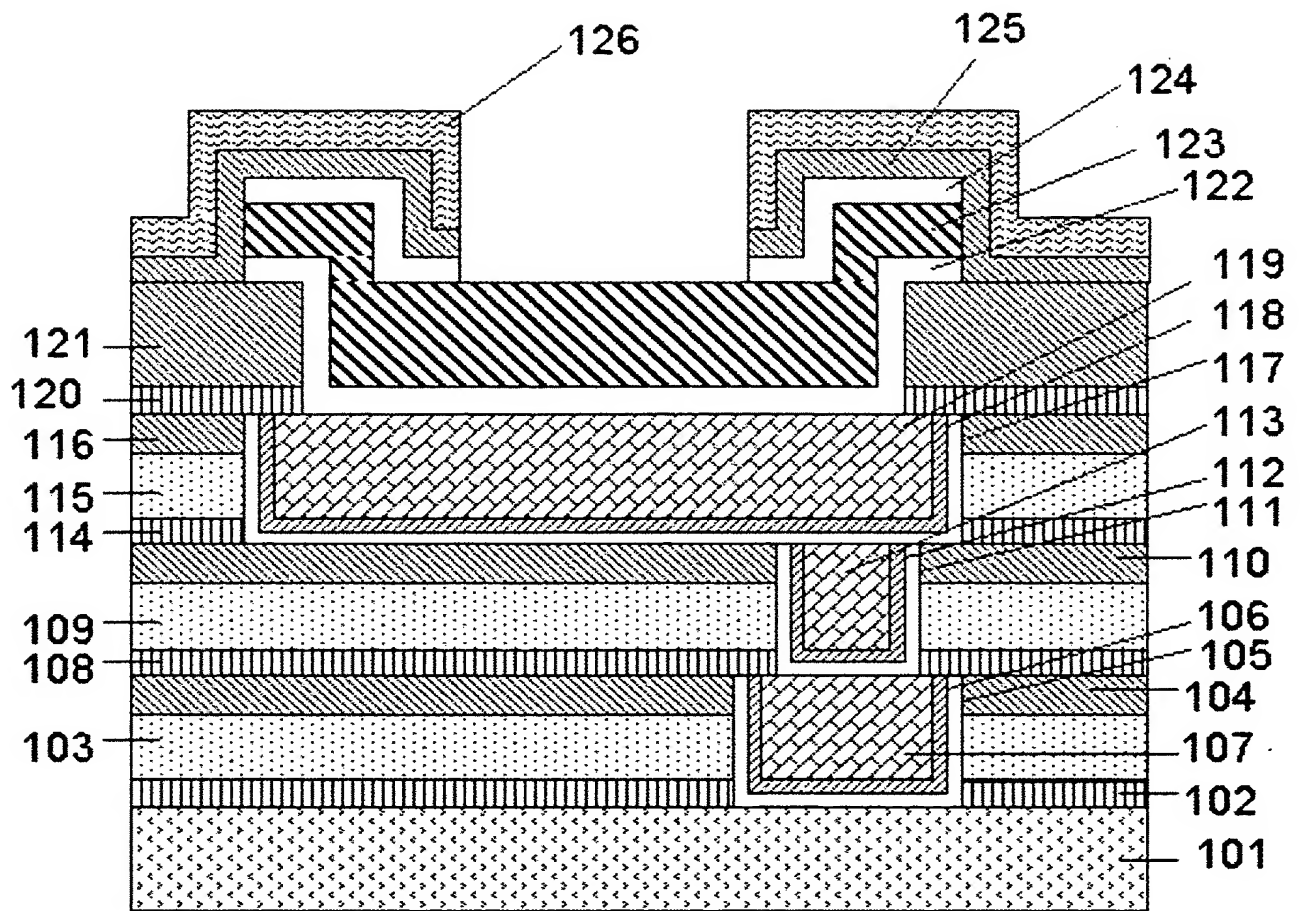
- 【図1】本発明の第1の実施の形態にかかる半導体装置を示す図である。
【図2】本発明の第2の実施の形態にかかる半導体装置を示す図である。
【図3】本発明の第3の実施の形態にかかる半導体装置を示す図である。
【図4】本発明の第1の実施の形態にかかる半導体装置の製造工程を示す図である。
【図5】本発明の第1の実施の形態にかかる半導体装置の製造工程を示す図である。
【図6】本発明の第1の実施の形態にかかる半導体装置の製造工程を示す図である。
【図7】本発明の第1の実施の形態にかかる半導体装置の製造工程を示す図である。
【図8】従来の実施の形態にかかる半導体装置を示す図である。
【図9】従来の実施の形態にかかる半導体装置の製造工程を示す図である。
【図10】従来の実施の形態にかかる半導体装置の製造工程を示す図である。
【図11】従来の実施の形態にかかる半導体装置の製造工程を示す図である。
【図12】従来の実施の形態にかかる半導体装置の製造工程を示す図である。

【符号の説明】

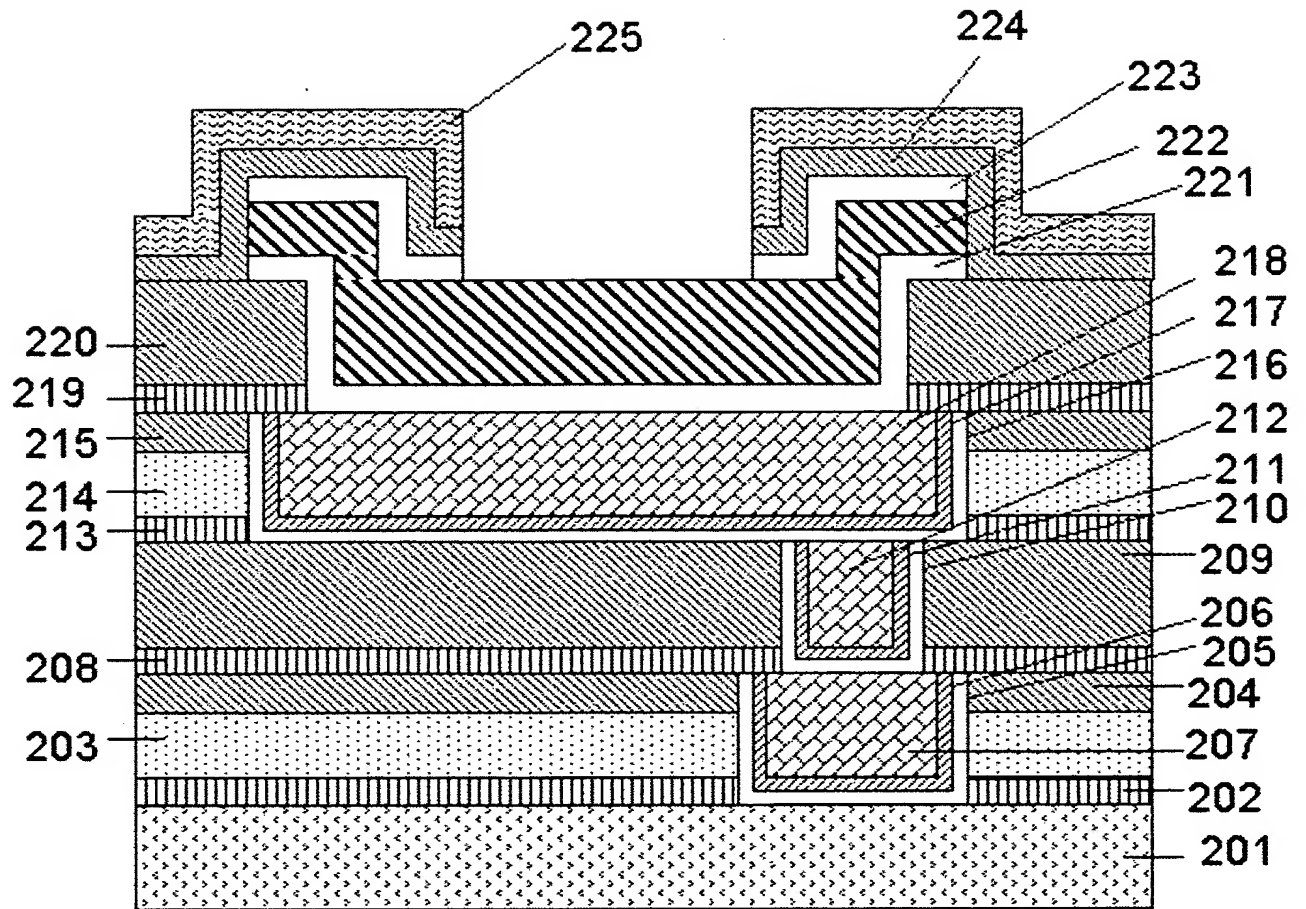
【0055】

101・・・下地絶縁膜
102, 108, 114, 120, 202, 208, 213, 219, 302, 308,
311, 317, 402, 410, 418, 426・・・シリコン炭化窒化膜
103, 109, 115, 203, 214, 303, 309, 312, 403, 411,
419・・・L-O_x膜
104, 110, 116, 121, 125, 204, 209, 215, 304, 310,
313, 404, 412, 420, 504, 509, 514, 604, 612, 620・
・・・SiO₂膜
105, 111, 117, 205, 210, 216, 305, 314, 407, 415,
423・・・Ta₂N膜
106, 112, 118, 206, 211, 217, 306, 315, 408, 416,
424・・・Ta膜
107, 113, 119, 207, 211, 218, 307, 316, 409, 417,
425, 506, 511, 516, 609, 617, 624・・・Cu膜
122, 124・・・TiN膜
123・・・Al-Cu膜
126・・・SiON膜
502, 507, 512, 517, 602, 609, 616, 623・・・バリア絶縁膜
503, 508, 513, 603, 611, 619・・・低誘電率膜
505, 510, 515, 607, 615, 623・・・バリアメタル膜

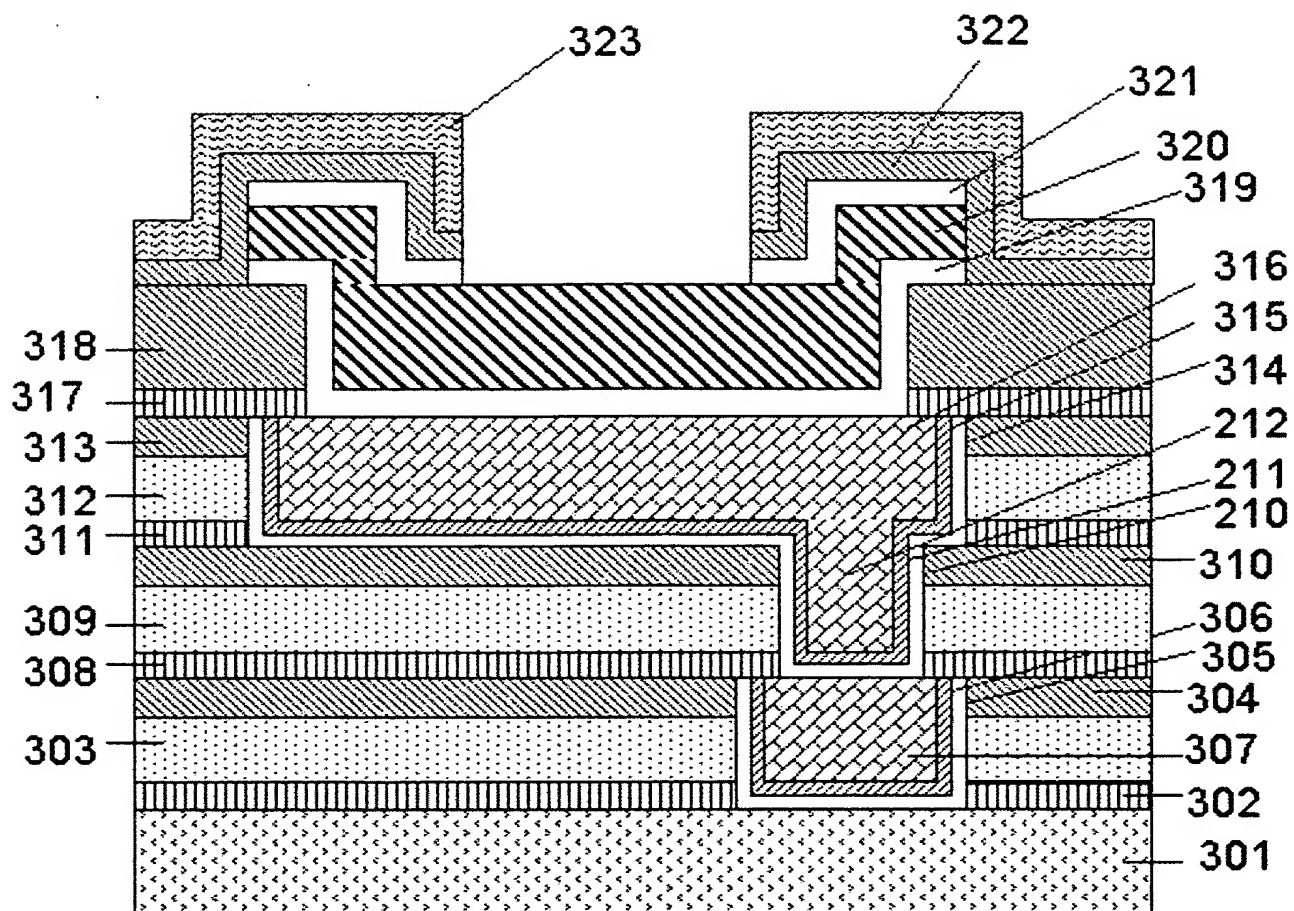
【書類名】 図面
【図 1】



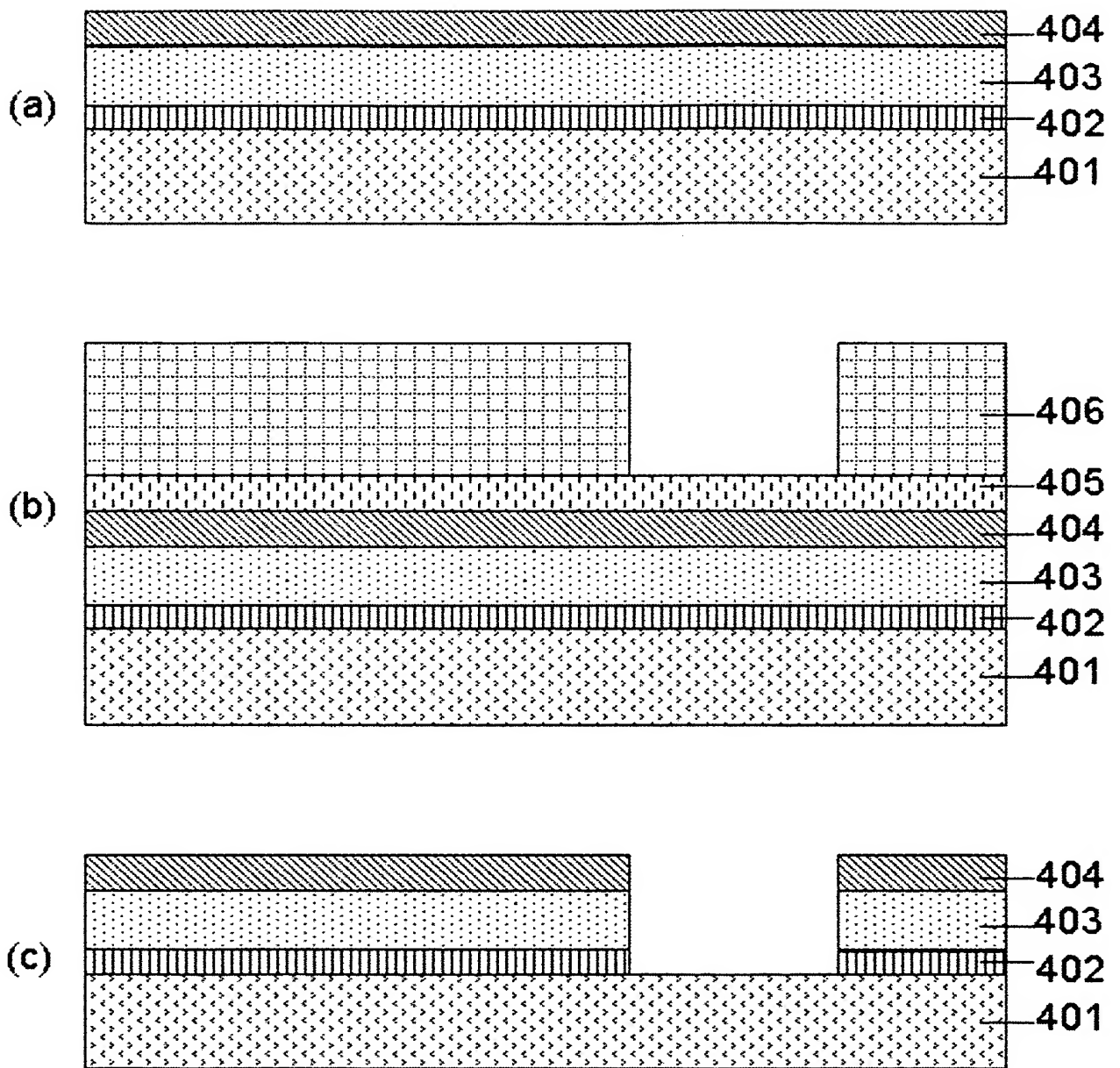
【図 2】



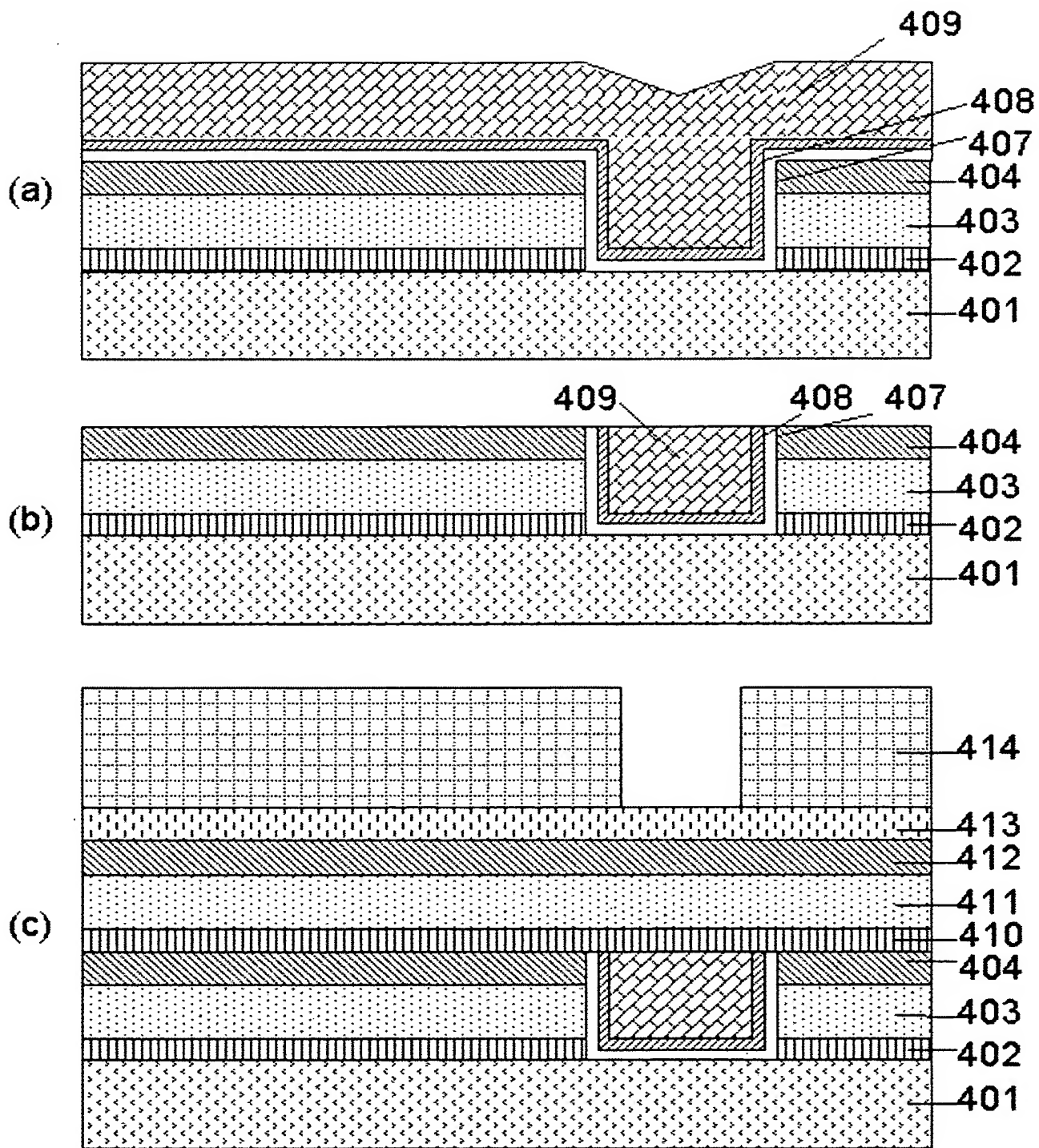
【図 3】



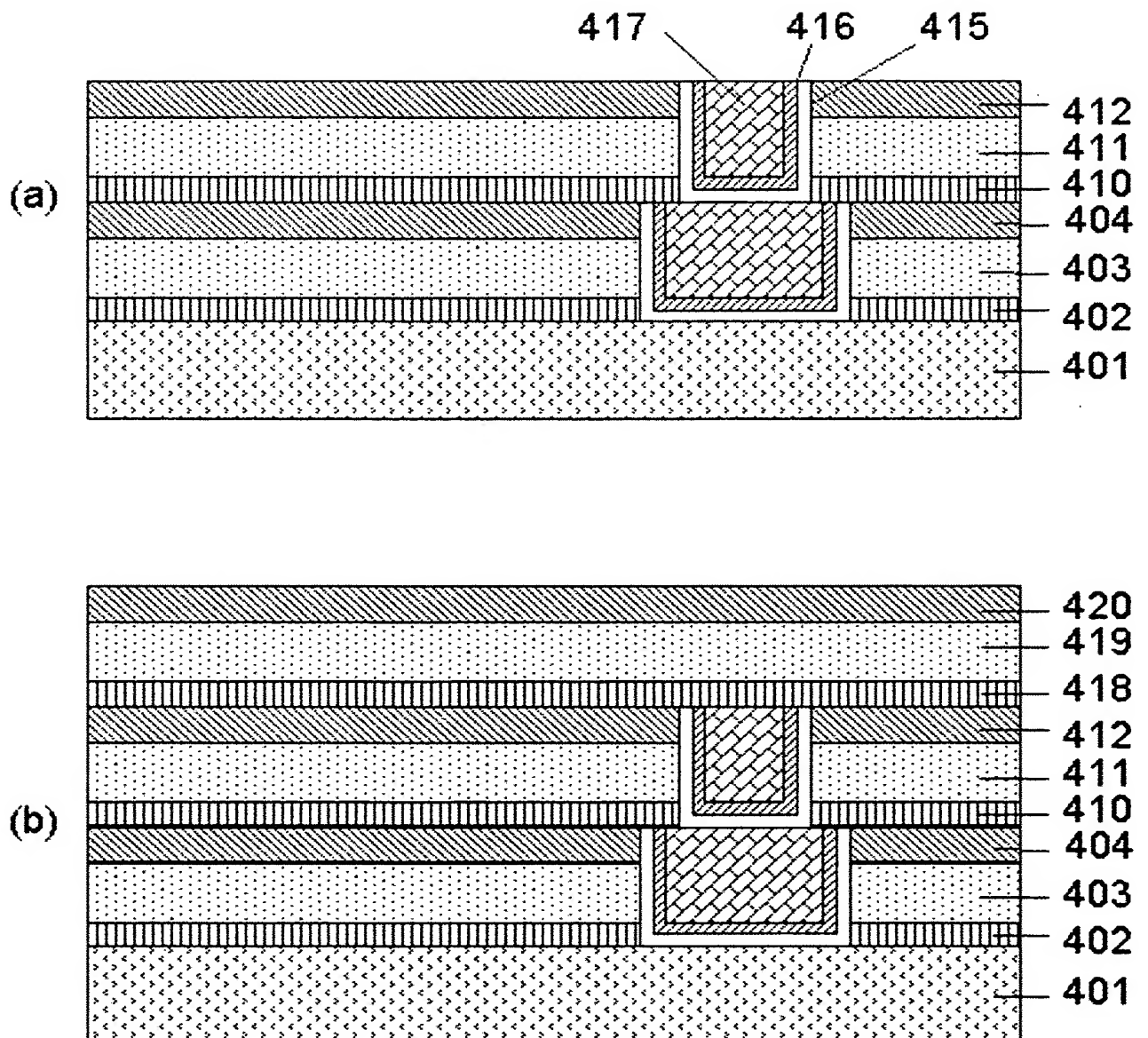
【図 4】



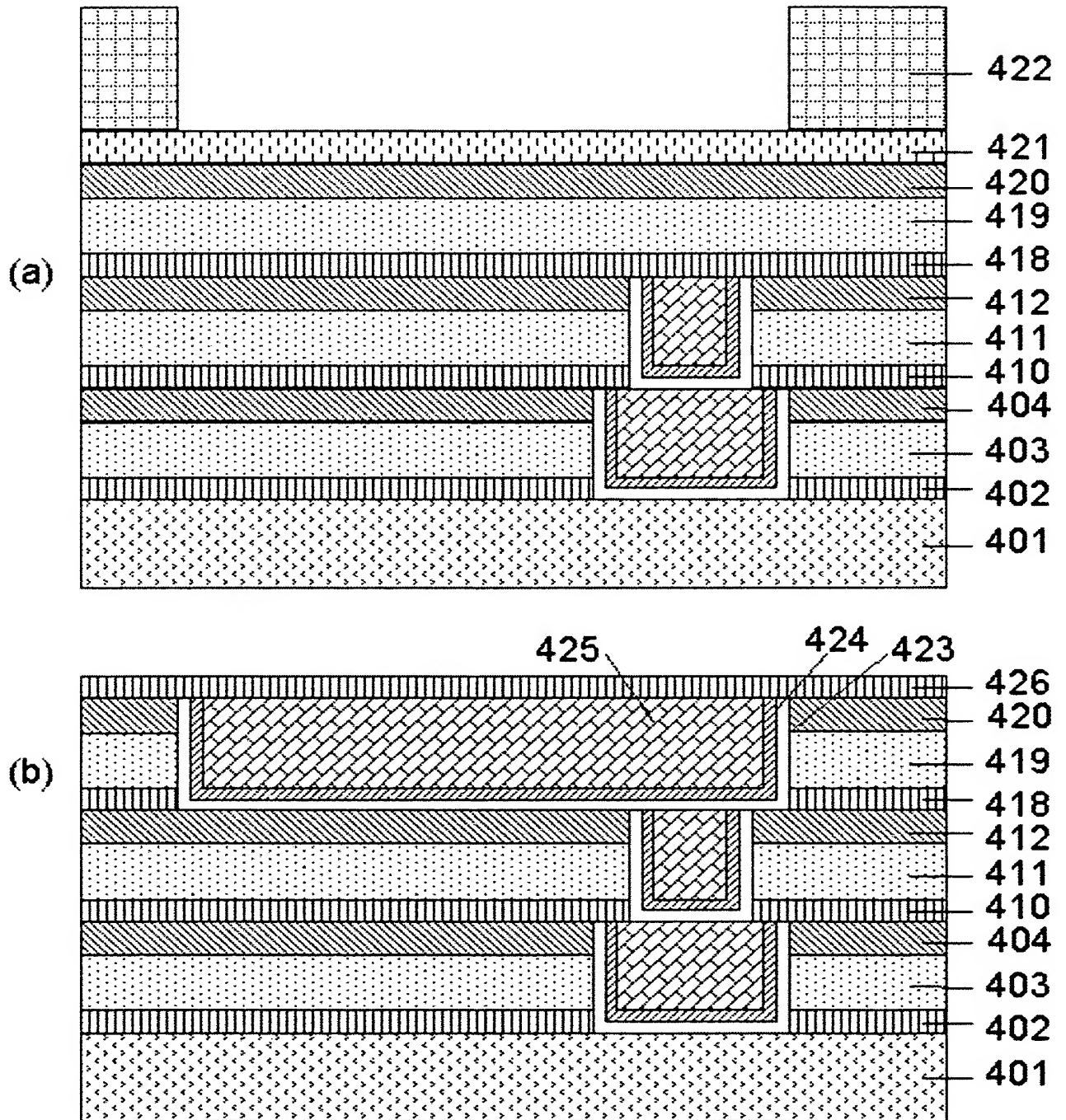
【図 5】



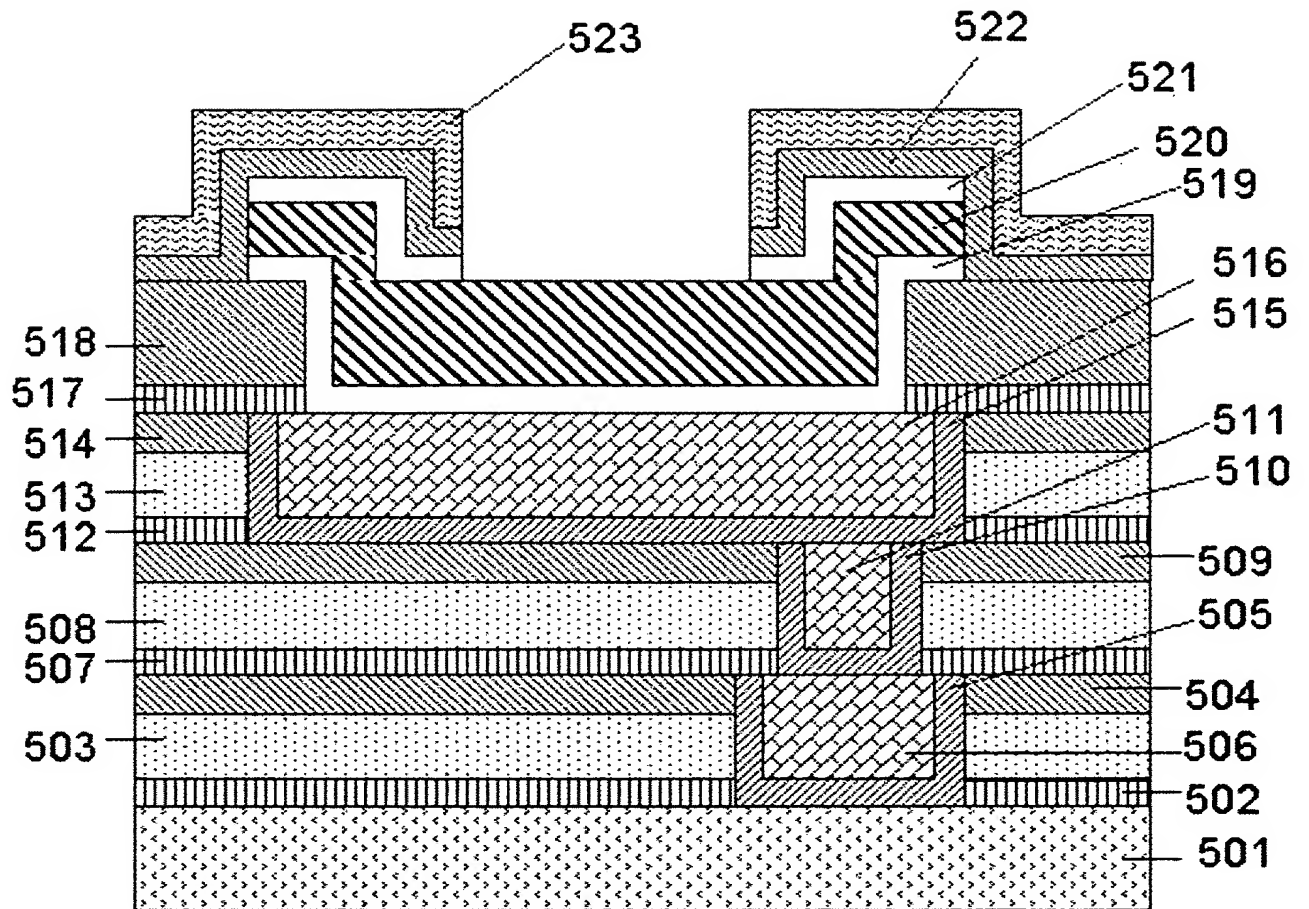
【図 6】



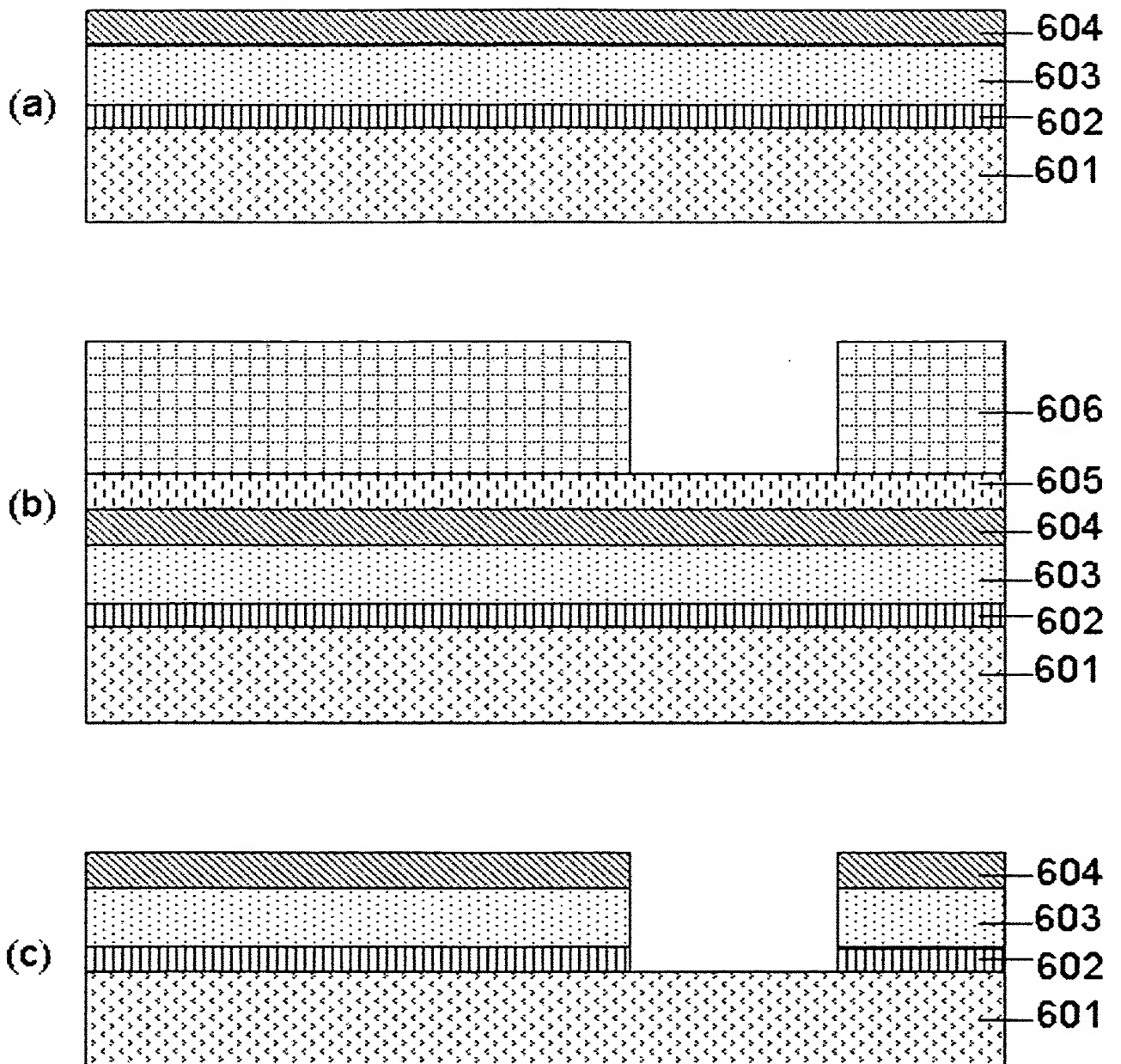
【図 7】



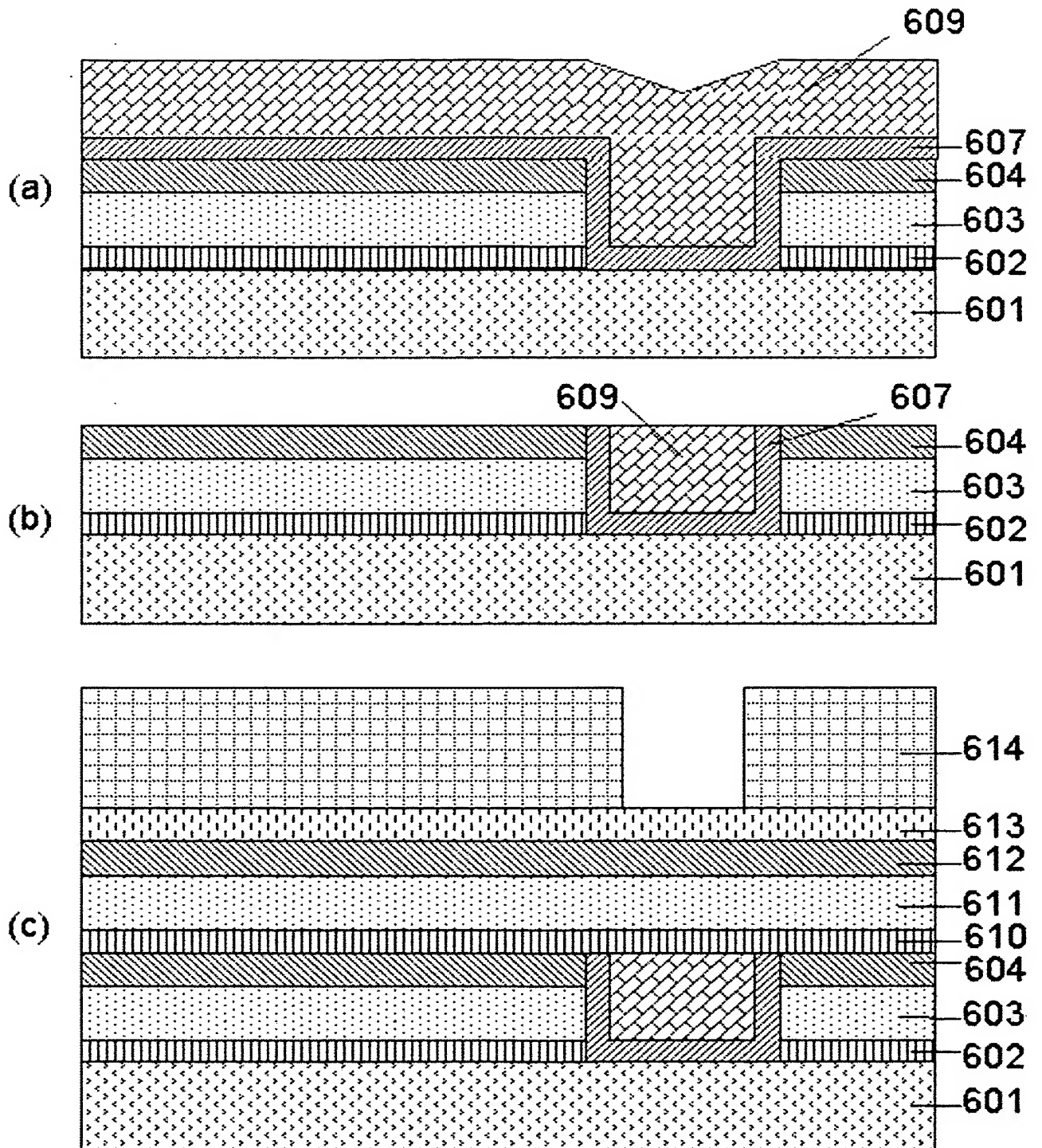
【図 8】



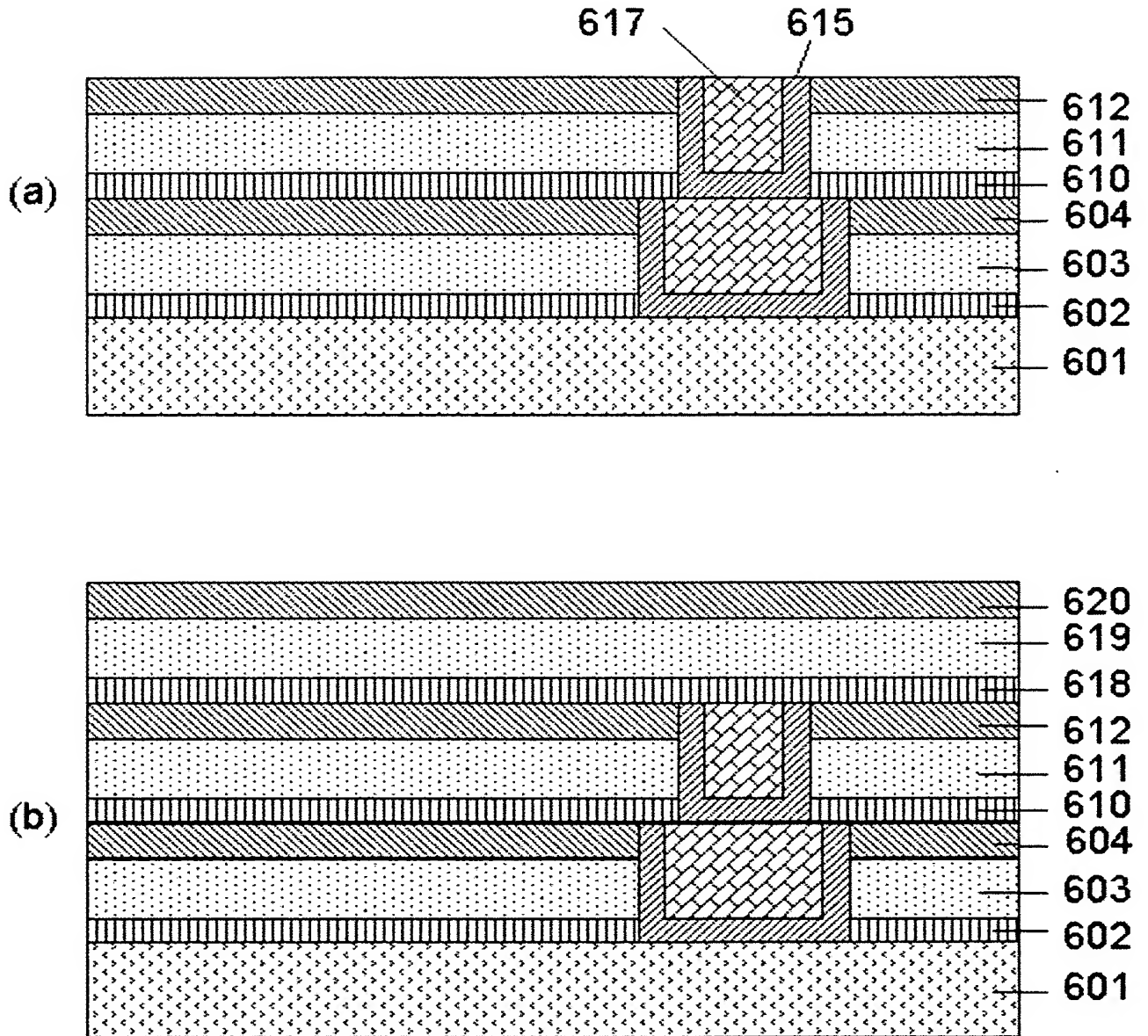
〔図 9〕



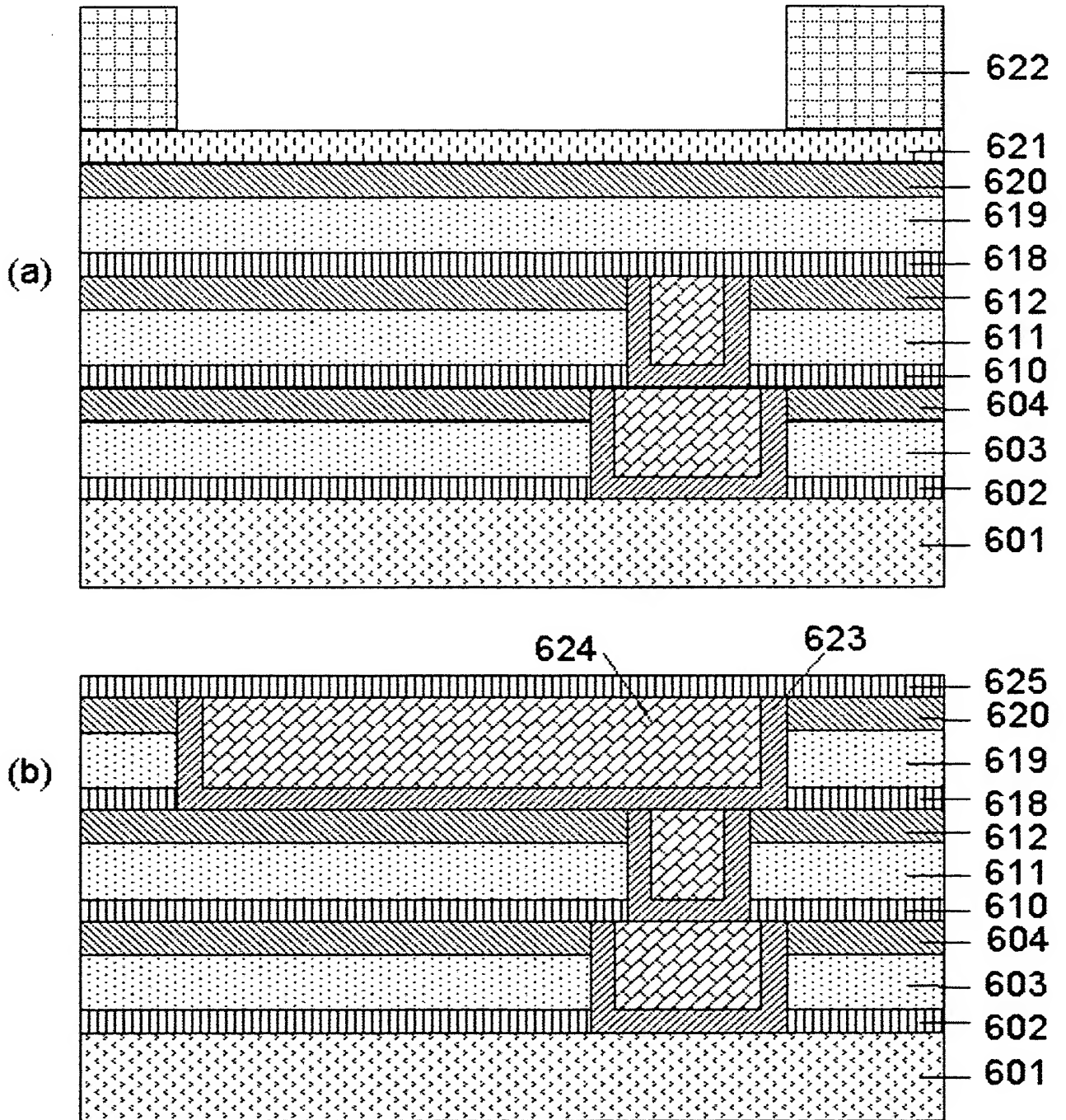
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 Si-H結合をもつ絶縁膜とCu配線との間にバリアメタル膜としてTa膜を介在させ、直接絶縁膜とTa膜が接すると、Ta膜が水素吸蔵により脆弱化し、CMPなどの工程で剥がれが発生するという問題がある。

【解決手段】 Si-H結合をもつ絶縁膜とCu配線との間にバリアメタル膜としてTa膜とTa₂N膜との積層膜が、Ta₂N膜が絶縁膜側となるように介在させる。Ta₂N膜が絶縁膜中のHのTa膜への吸蔵を妨害することにより、Ta膜の脆弱化が抑制される。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 4 2 0 8 3 9
受付番号	5 0 3 0 2 0 8 5 3 7 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 2 月 2 4 日

< 認定情報・付加情報 >

【提出日】	平成 15 年 12 月 18 日
-------	-------------------

特願 2 0 0 3 - 4 2 0 8 3 9

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部 1 7 5 3 番地
氏 名	N E C エレクトロニクス株式会社